

Разработка системы питания органической подложки кристалла интегральной схемы с высокоскоростным интерфейсом со скоростью 28,25 Гбит/с

Д.А. Рябов¹, А.Г. Вотяков²

¹Московский институт электронной техники, Москва

²АО «НПЦ «ЭЛВИС», Москва

Аннотация: В статье основное внимание уделяется методам снижения высокой индуктивности в цепях питания на примере одной из топологий подложки ИС с высокоскоростным интерфейсом. Рассматриваемый интерфейс работает на скорости 28,25 Гбит/с и предъявляет жёсткие требования к параметрам индуктивности питания. Представленные решения ориентированы на обеспечение низких значений индуктивности питания в условиях высокой плотности компоновки и требованиями к целостности питания современных интерфейсов передачи данных.

Ключевые слова: индуктивность питания, система питания, малошумящее питание, импеданс питания, аналоговое питание, последовательный интерфейс, высокоскоростной интерфейс, органическая подложка, корпусирование ИС

Введение

Современные высокоскоростные интерфейсы предъявляют жёсткие требования к качеству питания, особенно в части минимизации паразитной индуктивности. Для системы, содержащей каналы передачи, работающие со скоростью 28,25 Гбит/с, некачественная реализация топологии цепей питания может приводить к ухудшению характеристик каналов передачи данных вплоть до невозможности передачи сигнала на требуемых частотах. Особенно чувствительны к соблюдению требований аналоговые части интерфейсов, где даже незначительное превышение допустимых значений индуктивности может повлиять на корректность функционирования всей системы. В таблице 1 приведены предельные значения индуктивности, допустимые для отдельных питающих напряжений приёмопередатчиков кристалла.

Топология, которая не отвечает требованиям для аналогового питания подложки или печатной платы, характеризуется показателями индуктивности питания, превышающими требуемые для успешной передачи данных. Превышение индуктивности может создать такие проблемы как:

- 1) Шум питания.
- 2) Перекрестные помехи.
- 3) Падение напряжения на подложке.
- 4) Электромагнитные помехи.

Таблица №1

Максимальная индуктивность для каждого питания одной ячейки интерфейса

Название питания	Индуктивность (на частоте 100 MHz), пГн
VDDA	150
VDDA_TX	150
VDDA_CLK	150
VDDHA	200
VDDHA_VCO	1000

Топология, которая не отвечает требованиям для аналогового питания подложки или печатной платы, характеризуется показателями индуктивности питания, превышающими требуемые для успешной передачи данных. Превышение индуктивности может создать такие проблемы как:

- 5) Шум питания.
- 6) Перекрестные помехи.
- 7) Падение напряжения на подложке.
- 8) Электромагнитные помехи.

Стэк подложки, а именно 12 слойная подложка типа 5+2+5, был выбран по рекомендациям разработчика интерфейса, на основе рекомендаций производителей подложек, а также согласно опыту других разработчиков корпусировочных решений, использующих данный интерфейс. Данная конфигурация является оптимальным выбором на стыке цены и производительности.

Для апробации методов снижения индуктивности были использованы следующие материалы:

- Материалом ядра подложки был выбран MCL-E-705G
- Материалом для промежуточных слоев диэлектрика (препрег) был выбран высокочастотный материал ABF-GL-102
- Материалом печатной маски подложки был выбран AUS-308

Стэк подложки представлен на рисунке 1.

#	Name	Layer Function	Value	Material	Dielectric Constant
			um		
	SOLDERMASK_TOP	Solder Mask	21	Soldermask	4.3
1	L1_TOP	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
2	L2	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
3	L3_RX	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
4	L4_GND	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
5	L5	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
6	L6_CORE	Plane	18	Copper	1
		Dielectric	800	MCL-E-705G	4.4
7	L7_CORE	Plane	18	Copper	1
		Dielectric	30	Abf GI102	3.3
8	L8	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
9	L9	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
10	L10_TX	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
11	L11_GND	Conductor	15	Copper	1
		Dielectric	30	Abf GI102	3.3
12	L12_BOTTOM	Conductor	15	Copper	1
	SOLDERMASK_BOTTOM	Solder Mask	21	Soldermask	4.3

Рис. 1. - Стэк подложки

Стандартным решением для блоков СВЧ-приёмопередатчиков является подвод питания и земли непосредственно к потребителям на кристалле для минимизации паразитных параметров цепей питания кристалла. Для конструкторов подложки это означает, что на верхнем её слое питания и земли будут чередоваться между собой с недостаточными зазорами с точки зрения той плотности тока, которая необходима для обеспечения функционирования обозначенных блоков.

Очевидным решением является объединение питания и земель подложки во внутренних слоях, причём там, где имеется возможность не допустить разрывов опорных слоёв высокочастотных каналов передачи данных и одновременно уменьшить взаимное влияние потребителей друг на друга.

Решение по объединению цепей на внутренних слоях подложки может вести к повышению импеданса цепей питания как между выводами кристалла, так и на внутренних слоях по сравнению с объединением питания напрямую.

Таким образом, можно констатировать наличие необходимости применения приёмов по оптимизации топологии питания, т.к. в их отсутствие имеется вероятность не удовлетворить требованиям разработчика СФ-блоков по паразитным параметрам цепей питания подложки.

Теоретическая часть

Достижение допустимых значений паразитных параметров возможно при применении основных приёмов, уменьшающих индуктивность питания.

Основные подходы, уменьшающие индуктивность топологии, опробованные при проектировании питания блоков приёмопередатчиков:

- 1) Уменьшение длины проводников
-

Индуктивность проводника прямо пропорциональна его длине. Уменьшение длины проводников, соединяющих компоненты с источником питания, снижает общую индуктивность. Размещение компонентов ближе к источникам питания и использование коротких трасс помогает минимизировать индуктивность.

2) Увеличение ширины проводников

Более широкие проводники имеют меньшую индуктивность. Увеличение ширины дорожек питания и земли снижает индуктивность PDN. Использование сплошных полигонов (плоскостей) вместо узких дорожек также эффективно.

3) Использование плоскостей питания и земли

Многослойные печатные платы с выделенными слоями для питания (VCC) и земли (GND) значительно снижают индуктивность. Плоскости питания и земли, расположенные близко друг к другу, образуют распределенную емкость, что также помогает снизить импеданс сети распределения питания (power distribution network – PDN).

4) Уменьшение расстояния между плоскостями

Индуктивность PDN зависит от расстояния между плоскостями питания и земли. Уменьшение этого расстояния снижает индуктивность. Использование тонких диэлектриков между слоями питания и земли помогает достичь этого.

5) Добавление развязывающих конденсаторов

Развязывающие конденсаторы, размещенные рядом с компонентами, обеспечивают локальные источники заряда и снижают индуктивность PDN. Использование конденсаторов с низкой эквивалентной последовательной индуктивностью (equivalent series inductance - ESL) и их правильное размещение на плате критически важно.

6) Оптимизация расположения компонентов

Размещение компонентов, потребляющих большой ток, ближе к источникам питания и развязывающим конденсаторам снижает индуктивность. Минимизация длины петель тока также уменьшает индуктивность.

7) Использование множества переходных отверстий

Переходные отверстия, соединяющие слои питания и земли, снижают индуктивность, обеспечивая параллельные пути для тока. Использование множества переходных отверстий уменьшает общее сопротивление и индуктивность соединений.

8) Применение низкоиндуктивных материалов

Использование материалов с низкой магнитной проницаемостью, высокой электрической проницаемостью и низкими потерями помогает снизить индуктивность. В высокочастотных приложениях могут применяться специализированные материалы для подложек.

9) Минимизация площади сечения петель тока

Индуктивность имеет прямую зависимость от площади сечения петель тока. Минимизация этих петель (например, за счет оптимизации размещения компонентов и развязывающих конденсаторов) снижает индуктивность.

В случае, рассматриваемом в статье, уменьшение расстояния между плоскостями (пункт 4) и применение низкоиндуктивных материалов (пункт 8) ограничивается технологическими нормами фабрики.

Конденсаторы

Для минимизации индуктивности на частоте 100 МГц при размещении конденсаторов на подложке микросхемы необходимо учитывать как выбор самих конденсаторов, так и их расположение. Ключевым фактором является эквивалентная последовательная индуктивность конденсаторов, ёмкость

конденсаторов и индуктивность соединений (переходных отверстий, дорожек). На эффективное использование конденсаторов влияют следующие факторы:

- 1) Близость к выводам питания микросхемы
- 2) Минимизация длины соединений
- 3) Использование переходных отверстий
- 4) Параллельное подключение
- 5) Распределение конденсаторов

Описание топологии

В процессе проектирования системы питания было реализовано компактное размещение конденсаторов на верхнем слое подложки с оптимизацией под минимальные межкомпонентные расстояния. Конденсаторы Taiyo Yuden LMK042BJ103KC (10 нФ, типоразмер 1005) устанавливались попарно на каждую силовую линию, обеспечивая требуемую фильтрацию.

Структура цепей питания на выводах подложки включает в себя парные контактные площадки (боллы) для соответствующих цепей. Эти контактные площадки объединены общим полигоном. Перечисленные решения позволили достичь требуемых значений эквивалентной индуктивности и сопротивления соединений, а также избежать чрезмерных неоднородностей по удельной силе тока на выводах микросхемы. На рисунке 2 представлено изображение нижнего слоя подложки, удовлетворяющей требованиям по индуктивности.

На границах и углах полигонов питания размещались переходные отверстия, способствующие снижению индуктивности и выравниванию потенциалов. Нижние слои подложки спроектированы с использованием

широких проводников. По возможности площадь под переходные отверстия использовалась в максимальном объеме, как это можно видеть на рисунке 3.

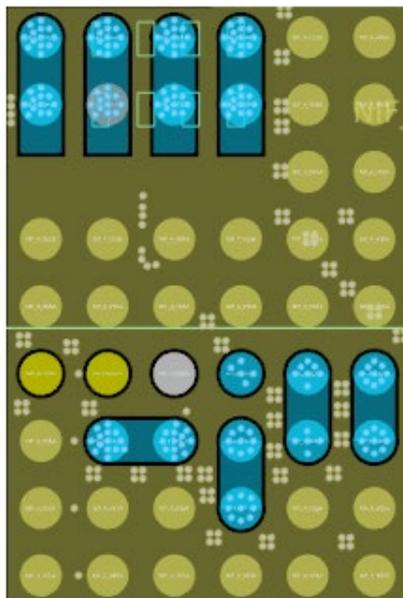


Рис. 2. - Итоговая компоновка выводов подложки

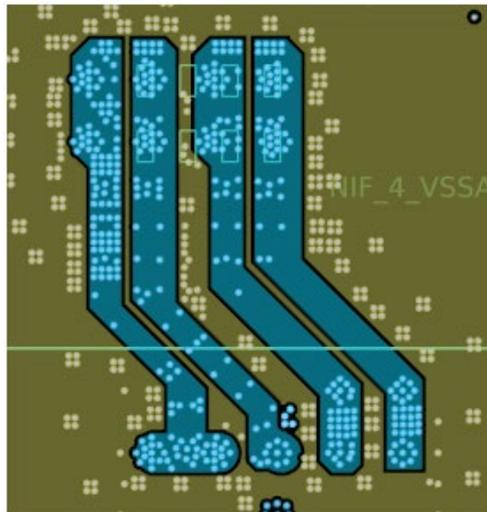


Рис. 3. - Топология нижних слоев

На 1-ом и 2-ом слое реализовано объединение цепей питания и земли там, где это возможно. На центральных слоях питание группируется по цепям в объединенные шины и следует до мест проекции выводов конденсаторов и подложки. Везде, где возможно, использовались

множественные переходные отверстия, 2 высших слоя представлены на рисунке 4.

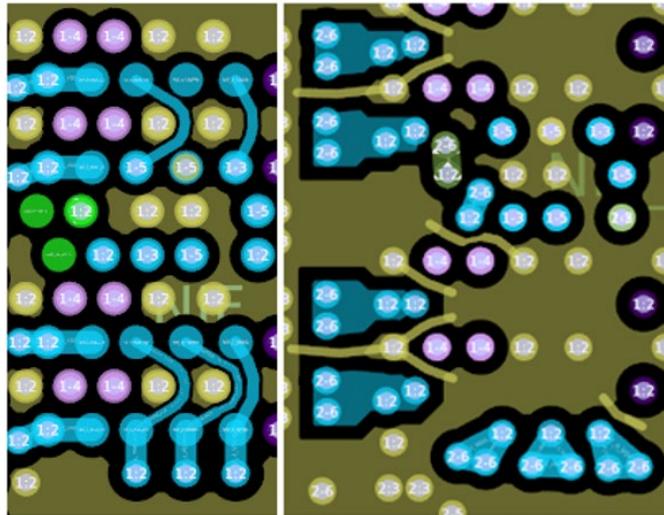


Рис. 4. - 1-ый и 2-ой слои подложки

Исследование

При моделировании и оптимизации системы распределения питания в расчетной среде особое внимание уделялось точному воспроизведению геометрии критических элементов, включая переходные отверстия, структуру слоев питания и земли с учётом вырезов и разделений, а также реалистичной топологии трассировки. Был проведён анализ паразитных параметров в диапазоне частот от 0 Гц до 1 ГГц в полулогарифмическом масштабе. В рамках проектирования производился поиск оптимальной ёмкости конденсаторов путём подбора, моделировались различные варианты топологии цепей питания. По результатам моделирования был выбран вариант, наиболее удовлетворяющий требованиям по паразитным параметрам питания.

Результаты моделирования

В ходе исследования выполнено моделирование топологии подложки в среде Cadence Clarity 3D Layout. Анализ проводился для каждого питающего

напряжения с учетом полной структуры межсоединений – от выводов кристалла до выводов на печатной плате. Результаты моделирования варианта, учитывающего все возможные приёмы оптимизации индуктивности, представлены на рисунке 5 на примере основной цепи питания VDDA. Параметры индуктивности всех цепей питания и соответствующие им требуемые уровни приведены в таблице 2.

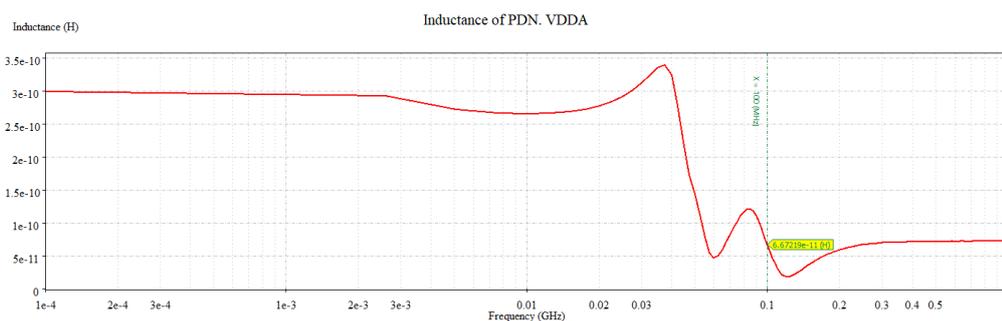


Рис. 5. - Индуктивность цепи питания VDDA

Таблица №2

Результаты моделирования индуктивностей цепей питания подложки

Питание	$L_{не\ более}$, пГн	$L_{фактическая}$, пГн
VDDA	150	66,72
VDDA_CLK	150	65,85
VDDA_TX	150	82,24
VDDHA	200	66,24
VDDHA_VCO	1000	468,7

Заключение

Достигнутые результаты демонстрируют, что применение приёмов оптимизации цепей питания, перечисленных выше в данной работе, позволяют обеспечить необходимый уровень паразитных параметров при итеративном подходе. Перечисленные приёмы могут быть использованы как

основа для дальнейшей разработки высокочастотных подложек и корпусных решений в интегральных системах с аналогичными требованиями к качеству питания.

Литература

1. Северцев В.Н., Гулякович Г.Н. Комплексная защита электронных устройств космических аппаратов от электромагнитных помех // Инженерный вестник Дона. 2015. № 4. URL: ivdon.ru/uploads/article/pdf/IVD_105_gulyakovich_severtsev.pdf
 2. Назаров А.В., Дерябин С.А. Вероятностный подход к оценке отказоустойчивости различных архитектур распределённых систем хранения данных // Инженерный вестник Дона. 2019. № 8. URL: ivdon.ru/uploads/article/pdf/IVD_80__7y2019_nazarov_deryabin.pdf
 3. Smith L.D., Bogatin E. Principles of Power Integrity for PDN Design – Simplified: Robust and Cost-Effective Design for High-Speed Digital Products. – Upper Saddle River: Prentice Hall, 2017. 400 p.
 4. Bogatin E. Signal and Power Integrity Simplified. 2nd ed. – Upper Saddle River: Prentice Hall, 2009. 528 p.
 5. Signal Integrity Journal. January 2025 Issue / Eric Bogatin.(ed.) – 2025. Т. 2025, № 1. 65 p. URL: signalintegrityjournal.com/articles/3824-sij-publishes-january-2025-issue
 6. Hall S.H., Hall G.W., McCall J.A. High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices. – New York: Wiley-IEEE Press, 2000. 362 p.
 7. Johnson H.W., Graham M. High-Speed Signal Propagation: Advanced Black Magic. Upper Saddle River: Prentice Hall, 2003. 766 p.
 8. Lee K. Advanced Signal Integrity for High-Speed Digital Designs. New York: Wiley, 2009. 600 p.
-

9. Smith L.D. Power Distribution System Design Methodologies. New York: Springer, 2008. 400 p.
10. Kraig M. High-Speed Digital Design: A Practical Guide to Signal Integrity. San Francisco: TechPress, 2015. 450 p.
11. Anderson J. PCB Design for Real-World EMI Control. 2nd ed. New York: Springer, 2011. 350 p.

References

1. Severtsev V.N., Gulyakovich G.N. Inzhenernyj vestnik Dona. 2015. No. 4. URL: ivdon.ru/en/magazine/archive/n4y2015
 2. Nazarov A.V., Deryabin S.A. Inzhenernyj vestnik Dona. 2019. No. 8. URL: ivdon.ru/en/magazine/archive/n8y2019
 3. Smith L.D., Bogatin E. Principles of Power Integrity for PDN Design – Simplified: Robust and Cost-Effective Design for High-Speed Digital Products. Upper Saddle River: Prentice Hall, 2017. 400 p.
 4. Bogatin E. Signal and Power Integrity Simplified. 2nd ed. Upper Saddle River: Prentice Hall, 2009. 528 p.
 5. Bogatin E. (ed.) Signal Integrity Journal. Vol. 2025, No. 1 (January). 2025. 65 p. URL: signalintegrityjournal.com/articles/3824-sij-publishes-january-2025-issue
 6. Hall S.H., Hall G.W., McCall J.A. High-Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices. New York: Wiley-IEEE Press, 2000. 362 p.
 7. Johnson H.W., Graham M. High-Speed Signal Propagation: Advanced Black Magic. Upper Saddle River: Prentice Hall, 2003. 766 p.
 8. Lee K. Advanced Signal Integrity for High-Speed Digital Designs. New York: Wiley, 2009. 600 p.
-



9. Smith L.D. Power Distribution System Design Methodologies. New York: Springer, 2008. 400 p.
10. Kraig M. High-Speed Digital Design: A Practical Guide to Signal Integrity. San Francisco: TechPress, 2015. 450 p.
11. Anderson J. PCB Design for Real-World EMI Control. 2nd ed. New York: Springer, 2011. 350 p.

Дата поступления: 16.05.2025

Дата публикации: 26.06.2025