



Разработка ведомого устройства интерфейса SPI на основе базовых матричных кристаллов

А.С. Синюкин, М.А. Денисенко, А.В. Ковалев

Южный федеральный университет, Таганрог

Аннотация: В работе представлены результаты проектирования ведомого блока последовательного периферийного интерфейса (Serial Peripheral Interface - SPI), применяемого для высокоскоростной синхронной передачи данных между управляющими и периферийными устройствами, на основе базовых матричных кристаллов серии 5503. Полученная микросхема может применяться совместно с ведущим блоком SPI для согласования микроконтроллеров и микропроцессоров с различными датчиками, аналого-цифровыми, цифроаналоговыми преобразователями, модулями памяти и связи. По результатам разработки предложена методика проектирования цифровых интегральных микросхем в отечественной САПР «Ковчег» с использованием поведенческих описаний на языке описания аппаратуры.

Ключевые слова: базовый матричный кристалл, последовательный периферийный интерфейс, язык описания аппаратуры, система автоматизированного проектирования.

Введение

В настоящее время большие интегральные схемы представлены на рынке главным образом в виде заказных схем, изготавливаемых на основе полупроводниковых технологических процессов с разрешающей способностью порядка десятков и даже единиц нанометров. Такие микросхемы характеризуются гибкой функциональностью, надежностью и низкой стоимостью при условии крупносерийного производства. Однако ввиду дороговизны процессов разработки и изготовления конечная стоимость таких устройств при небольших объемах выпуска может существенно возрастать. Базовые матричные кристаллы (БМК), представляющие собой альтернативный подход к разработке и изготовлению интегральных схем, благодаря более быстрому и универсальному процессу проектирования позволяют значительно снизить стоимость конечных устройств. При этом сохраняется достаточно высокая надежность, энергоэффективность и сопротивляемость к вредным внешним воздействиям,

что выгодно отличает БМК от программируемых логических интегральных схем (ПЛИС) [1].

Разработка интегральных микросхем на основе базовых матричных кристаллов может осуществляться с использованием отечественных систем автоматизированного проектирования (САПР) [2], например с помощью САПР «Ковчег» [3], позволяющей выполнять полный цикл проектирования цифровых и цифроаналоговых устройств на основе БМК серий 5503 и 5507. Однако «Ковчег» поддерживает только графические или структурные описания схем на языке Verilog [4] на основе заложенной в него библиотеки функциональных ячеек [5], а возможность синтеза схемы по поведенческому описанию в нем отсутствует. В тех случаях, когда известно только функциональное назначение разрабатываемого устройства и особенности его работы, но отсутствуют сведения о подробностях структуры и необходимой компонентной базе, проектирование цифровых устройств может выполняться по предлагаемой в настоящей работе методике.

В качестве примера устройства для описания методики проектирования рассматривается ведомый блок (Slave) последовательного периферийного интерфейса (Serial Peripheral Interface - SPI) [6], применяемого для синхронной проводной передачи данных между интегральными схемами встраиваемых систем. Стандарт SPI широко распространен, допускает множество вариаций и продолжает активно развиваться [7, 8] и использоваться при построении микроконтроллеров, аналого-цифровых и цифроаналоговых преобразователей [9, 10] и других периферийных устройств. Поэтому выбор блока SPI Slave как объекта разработки, с одной стороны, является актуальным с точки зрения практического применения, а с другой, позволяет наглядно продемонстрировать особенности предлагаемой методики.

Разработка поведенческого описания схемы устройства на языке Verilog

Интерфейс SPI основан на архитектуре главного и вспомогательных узлов (master / slave или main / sub), в которой одно ведущее устройство (master) координирует коммуникацию, формируя тактовый сигнал и сигнал выбора одного из ведомых устройств (slave), а те, в свою очередь, управляют периферийными модулями. Последовательный периферийный интерфейс характеризуется четырьмя сигналами, названия которых могут варьироваться от приложения к приложению, но функционал сохраняется неизменным. Сигнал SCLK (Serial Clock) представляет собой последовательность тактовых импульсов, задаваемую ведущим устройством; сигнал DIN (Data In) – данные, передаваемые от ведущего устройства к ведомому, SDO (Serial Data Out) – наоборот, данные от ведомого устройства к ведущему, и, наконец, CNV (от Conversion) – сигнал с активным логическим нулем, инициирующий передачу (преобразование) данных между ведущим устройством и выбранным ведомым. В базовой конфигурации SPI ведущее и ведомое устройства используют внутренние сдвиговые регистры (в общем случае восьмиразрядные) для последовательной передачи данных (рис. 1).

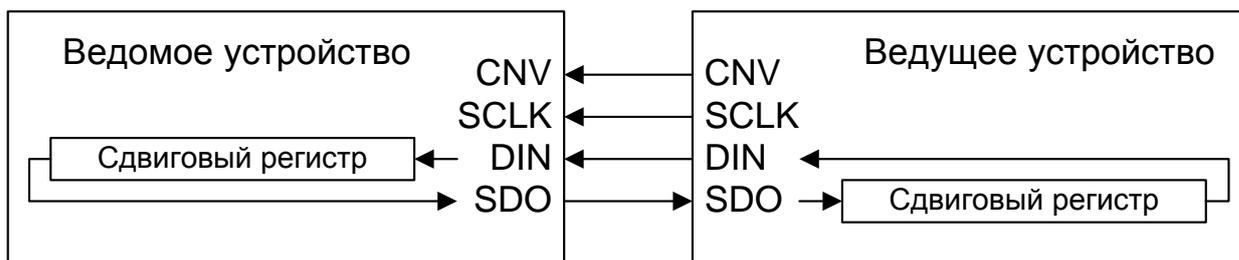


Рис. 1 - Структурная схема передачи данных между ведущим и ведомым устройствами [6].

Таким образом, задача заключалась в составлении поведенческого описания, реализующего последовательную передачу восьмиразрядных

пакетов данных от одного устройства к другому. Разработанное поведенческое описание ведомого устройства на языке Verilog включает (помимо инициации переменных и портов) три основных процедурных блока `always`, срабатывающих по основному сигналу тактирования `SCLK`:

В первом процедурном блоке реализуются:

а) сброс значений внутреннего сдвигового регистра `shift_reg` и счетчика `bit_counter` при логической единице на синхронном входе `rst`;

б) присваивание внутреннему регистру передачи `tx_data` значения восьмиразрядного пакета данных `slave_data`, направляемых от ведомого устройства (периферии) к ведущему (контроллеру), при логической единице на входе сброса `rst` или входе инверсной инициации передачи данных `CNV`;

в) сдвиг посредством конкатенации значений внутреннего регистра `shift_reg`, в который по тактовому сигналу последовательно записывается значение пакета данных, направляемого от ведущего устройства к ведомому, при логическом нуле на входах `rst` и `CNV`;

г) сдвиг значений внутреннего регистра передачи `tx_data` посредством конкатенации при логическом нуле на входах `rst` и `CNV`;

д) приращение значения счетчика `bit_counter` при логическом нуле на входах `rst` и `CNV`.

Во втором блоке происходит:

а) присваивание сигналу `SDO` (последовательная передача данных от ведомого устройства к ведущему) высокоимпедансного состояния при логической единице на входе сброса `rst` или входе инверсной инициации `CNV`;

б) присваивание сигналу `SDO` значения младшего разряда внутреннего регистра передачи `tx_data` при логическом нуле на входах `rst` и `CNV`.

Третий блок осуществляет присваивание внутреннему регистру приема `rx_data` значения внутреннего сдвигового регистра `shift_reg` при достижении

счетчиком значения разрядности разрабатываемого интерфейса, то есть в данном случае восьми.

Посредством непрерывного присваивания в выходной регистр `master_data` записывается восьмиразрядное число, полученное ведомым устройством от ведущего. В качестве примера представлен фрагмент кода, описывающий первый функциональный блок:

```
always @(posedge SCLK)
    begin
        if (rst)
            begin
                shift_reg <= 8'b0;
                bit_counter <= 3'b0;
                tx_data <= slave_data;
            end
        else
            begin
                if (CNV)
                    tx_data <= slave_data;
                else
                    begin
                        shift_reg <= {shift_reg [6:0], DIN};
                        tx_data <= {tx_data [6:0], 1'b0};
                        bit_counter <= bit_counter + 1'b1;
                    end
            end
        end
    end
```

Поскольку в САПР «Ковчег» отсутствует возможность синтеза схемы по поведенческому описанию, предварительная разработка и отладка

осуществлялась в Vivado Design Suite, однако окончательный синтез и анализ схемы выполнялся в САПР Cadence Genus Synthesis.

Синтез схемы в САПР Cadence Genus

Выполнение синтеза цифровой схемы на основе поведенческого описания происходило в среде Cadence следующим образом. После запуска среды логического синтеза Genus Synthesis подключалось разработанное описание на уровне регистровых передач (Register Transfer Level, RTL). Синтез производился на основе библиотеки компонентов, соответствующей технологии HCMOS8D 0,18 мкм (КМОП). После успешного выполнения процедуры предоставлялась возможность сохранения результатов синтеза в виде структурного описания искомого устройства. Для проверки корректности разработанных поведенческого и синтезированного структурного описаний в программном модуле SimVision выполнялось моделирование полученной схемы, для чего было также составлено соответствующее схеме описание тестовых воздействий (testbench). Результаты моделирования ведомого устройства SPI, синтезированного в среде Cadence, представлены на рис. 2.

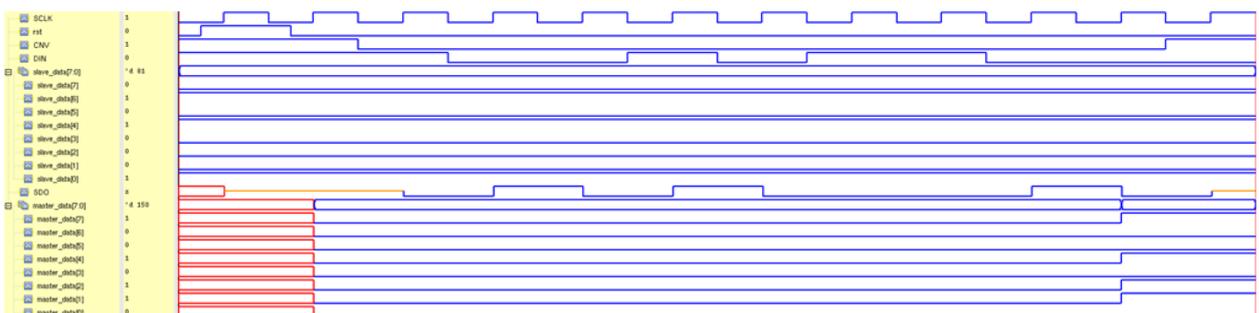


Рис. 2. - Временные диаграммы работы ведомого устройства SPI, синтезированного в Cadence

Верхняя диаграмма на рис. 2 относится к тактовому сигналу SCLK, период которого задан равным 20 пс. Ниже следуют сигналы сброса (rst), инверсной инициации передачи данных (CNV), последовательной передачи данных от ведущего устройства к ведомому (DIN), данные восьмиразрядного регистра, предназначенные для передачи от ведомого устройства к ведущему (slave_data[7:0]), сигнал последовательной передачи данных от ведомого устройства к ведущему (SDO) и, наконец, данные восьмиразрядного регистра, полученные в результате последовательной передачи от ведущего устройства к ведомому (master_data [7:0]). Как видно из рисунка, после появления логического нуля на входе CNV с ведущего устройства последовательно начинает поступать сигнал DIN, одноразрядные значения которого после завершения передачи пакета данных образуют число 10010110 в двоичной системе счисления (150 в десятичной); здесь и далее выбор чисел произвольный. Регистру slave_data изначально было присвоено значение $01010001_2 = 81_{10}$, которое остается неизменным во время цикла передачи данных. Поскольку сигнал последовательной передачи данных от ведомого устройства SDO поочередно принимает значения 0, 1, 0, 1, 0, 0, 0 и 1, то есть соответствующие заложенным в исходном виде в восьмиразрядный регистр, а в регистр master_data записывается число 10010110_2 после срабатывания восьми тактовых импульсов при отключенном сигнале инверсной инициации CNV, можно заключить, что построенный ведомый блок SPI функционирует согласно заданной типовой конфигурации.

Проектирование устройства в САПР «Ковчег»

В качестве основы для проектирования блока SPI в САПР «Ковчег» был выбран базовый матричный кристалл серии 5503 типа H5503XM2. Выбор серии обоснован тем, что в кристаллах серии 5503 реализуется напряжение питания 5 В, распространенное при проектировании устройств,

включающих интерфейс SPI [9, 10]. Выбор типа БМК определялся тем, что несмотря на относительно невысокую плотность размещения ячеек поля БМК для имплементации итоговой конфигурации ведомого блока – потребовалось 354 ячейки, что составляет 27,3% от максимально возможного числа 1296 для данного типа, в то время как в более компактных БМК типа H5503XM1 доступно 576 ячеек – количество внешних контактов у БМК типа H5503XM1 не может превышать 28. В предлагаемой же разработке необходимо как минимум 32 контакта (по восемь для регистров хранения данных `master_data` и `slave_data`, четыре для основных каналов SPI, три для питания VCC, земли GND и сброса `rst` и еще девять для измерения токов утечек на выходах), поэтому в качестве типа БМК был выбран именно кристалл H5503XM2.

Исходное структурное описание, полученное в Cadence, основывалось на пяти видах логических компонентов: триггер D-типа с записью по переднему фронту, двухвходовые ячейки И-НЕ и ИЛИ-НЕ, инвертор, буфер с тремя выходными состояниями. Для работы в «Ковчеге» эти компоненты были заменены на полные функциональные аналоги, доступные в библиотеке отечественной САПР. Из-за несоответствия структуры синтезированной схемы и нагрузочной способности некоторых компонентов из библиотеки «Ковчеге» проводилось дополнительное разветвление цепей для удовлетворения требований по нагрузке за счет небольшого роста задержек. Однако разница в задержках на компонентах между схемой, полученной в Cadence, и схемой, переработанной в «Ковчеге», с учетом значительной разности в технологических нормах (БМК серии 5503 реализуется по нормам КМОП 1,6 мкм) и, соответственно, в быстродействии, оказалась допустимой. Кроме того, в структурное описание были добавлены ячейки цифровых входов и выходов и управляющих ими драйверов.

После получения окончательной версии структурного описания процесс дальнейшего проектирования осуществлялся согласно типовому маршруту: составление последовательности тестовых воздействий и задание контрольных точек, моделирование схемы, редактирование размещения выводов, синтез, оптимизация и контроль топологии, расчет задержек и, наконец, аттестация проекта. Результаты моделирования схемы ведомого блока SPI в «Ковчеге» приведены на рис. 3.

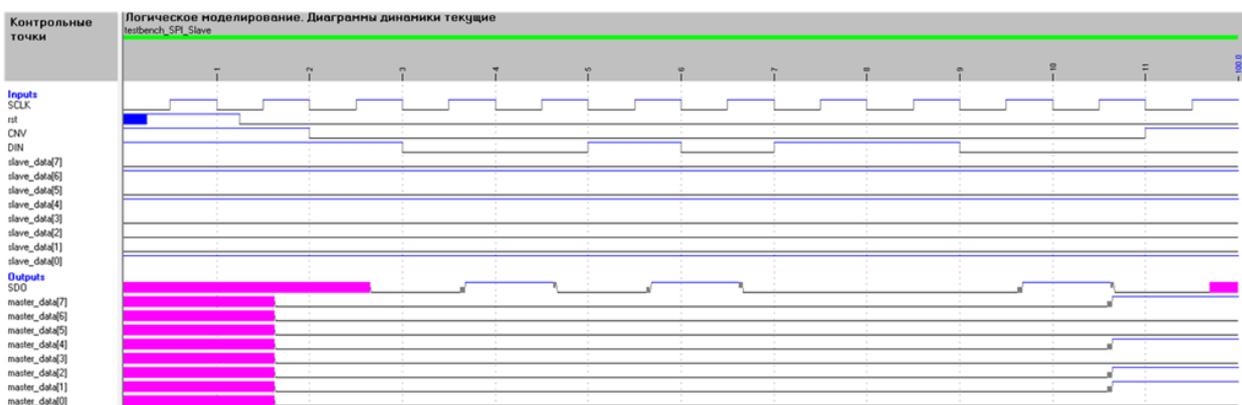


Рис. 3. - Временные диаграммы работы ведомого устройства SPI, полученные в САПР «Ковчег»

Особенностью описания тестовых воздействий в САПР «Ковчег» является установление фиксированного значения длительности элементарной проверки (ЭП) и дальнейшее задание изменений сигналов количеством элементарных проверок, принимающих значения логического нуля, логической единицы, высокоимпедансного или неопределенного состояния. Поскольку в данном случае значение ЭП составляло 100 нс, период тактового сигнала равен 200 нс. Из рис. 3 видно, что диаграммы, полученные в «Ковчеге», соответствуют результатам моделирования в Cadence, что подтверждает корректность сформированной структуры. Синтезированная в «Ковчеге» топология устройства показана на рис. 4.

Площадь кристалла составляет $3,8 \text{ мм} \times 4,5 \text{ мм}$ ($17,1 \text{ мм}^2$). Аттестация проекта по трем значениям (номинальное, максимально допустимое, минимально допустимое) параметров, включающих напряжение питания, температуру, крутизну транзисторов и задержки в топологии, показала отсутствие ошибок во всех 243 испытаниях.

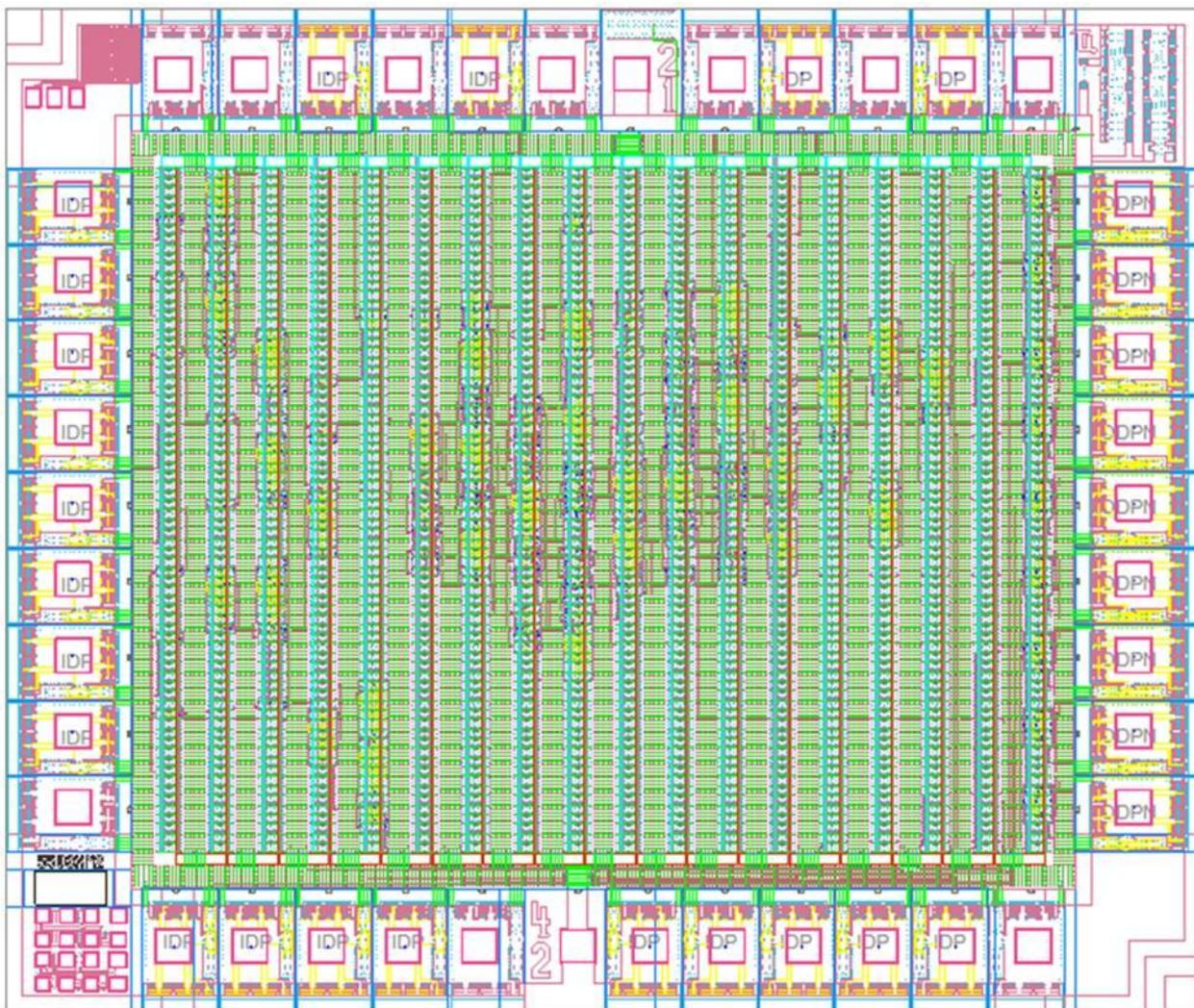


Рис. 4. - Топология ведомого блока SPI, реализованная на БМК H5503XM2

Заключение

На основе БМК серии 5503 типа H5503XM2 разработана микросхема ведомого блока интерфейса SPI. Количество занятых на кристалле ячеек составило 354, а количество используемых выводов – 32. Минимальный период тактового сигнала, при котором задержки топологии не превышают допустимых пределов, составил 100 нс. По результатам построения микросхемы разработана методика проектирования цифровых устройств с использованием сторонних САПР, обладающих функционалом синтеза схем по их поведенческим описаниям.

Работа выполнена в рамках проекта «Разработка и исследование методов и средств мониторинга, диагностики и прогнозирования состояния инженерных объектов на основе искусственного интеллекта» (задание № FENW-2020-0022).

Производство интегральной микросхемы было выполнено за счет средств Минобрнауки России в рамках федерального проекта «Подготовка кадров и научного фундамента для электронной промышленности» по гос. заданию на выполнение научно-исследовательской работы «Разработка методики прототипирования электронной компонентной базы на отечественных микроэлектронных производствах на основе сервиса MPW (FSMR-2023-0008)».

Литература

1. Денисов А.Н., Коняхин В.В. Перспективная элементная база для аппаратуры с жесткими условиями эксплуатации // Наноиндустрия. 2016. №8. С. 22-31.

2. Балашов В.В., Плехов А.С., Попов Д.В., Старостин Н.В. Практическое применение собственной программной системы синтеза



топологии в сквозном маршруте проектирования // Инженерный вестник Дона, 2014, №2. URL: ivdon.ru/ru/magazine/archive/n2y2014/2440.

3. Зобнина О.А., Каменских А.Н., Королев Г.К., Тюрин С.Ф. Разработка элементов криптопроцессора с использованием отечественной САПР «Ковчег» // Вестник Пермского университета. 2019. №2. С. 60-66.

4. Гаврилов С.В., Денисов А.Н., Коняхин В.В., Соколовская М.М. Полузаказные БИС на БМК серий 5503 и 5507. В 4 книгах: Практическое пособие. Книга 2. Система автоматизированного проектирования «Ковчег 3.04». М.: Техносфера, 2019. 308 с.

5. Денисов А.Н., Фомин Ю.П., Коняхин В.В., Федоров Р.А. Полузаказные БИС на БМК серий 5503 и 5507. В 4 книгах: Практическое пособие. Книга 3. Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507. М.: Техносфера, 2019. 316 с.

6. SPI Block Guide V03.06. S12SPIV3/D. Motorola, Inc., 2003. URL: opencores.org/usercontent/doc/1499360489.

7. Будяков П.С. SPI интерфейс на основе токовой логики // Инженерный вестник Дона, 2017, №4. URL: ivdon.ru/ru/magazine/archive/n4y2017/4571.

8. Wang D., Yan J., Qiao Y. Design and verification of SPI bus IP core // Journal of Physics: Conference Series. 2021. №1971 012032. P. 1-6.

9. ADS1282 High-Resolution Analog-To-Digital Converter. SBAS418I. Texas Instruments, Inc., 2022. URL: ti.com/lit/ds/symlink/ads1282.pdf.

10. DACx0504 Quad, 16-, 14-, 12-bit, SPI voltage output DACs with internal reference. SVAS871C. Texas Instruments, Inc., 2022. URL: ti.com/lit/ds/symlink/dac80504.pdf.

References

1. Denisov A.N., Konjahin V.V. Nanoindustriâ, 2016, №8, pp. 22-31.



2. Balashov V.V., Plehov A.S., Popov D.V., Starostin N.V. Inzhenernyj vestnik Dona, 2014, №2. URL: ivdon.ru/ru/magazine/archive/n2y2014/2440
 3. Zobnina O.A., Kamenskih A.N., Korolev G.K., Tjurin S.F. Vestnik Permskogo universiteta, 2019, №2, pp. 60-66.
 4. Gavrilov S.V., Denisov A.N., Konjahin V.V., Sokolovskaja M.M. Poluzakaznye BIS na BMK serij 5503 i 5507. V 4 knigah: Prakticheskoe posobie. Kniga 2. Sistema avtomatizirovannogo proektirovanija “Kovcheg 3.04” [Semicustom LSI Using Gate Arrays 5503 and 5507 Series. In 4 volumes: Reference Guide. Volume 2. Computer-Aided Design System “Kovcheg 3.04”]. Moskva: Tehnosfera, 2019. 308 p.
 5. Denisov A.N., Fomin Ju.P., Konjahin V.V., Fedorov P.A. Poluzakaznye BIS na BMK serij 5503 i 5507. V 4 knigah: Prakticheskoe posobie. Kniga 3. Biblioteka funkcional’nyh jacheek dlja proektirovanija poluzakaznyh mikroshem serij 5503 i 5507 [Semicustom LSI Using Gate Arrays 5503 and 5507 Series. In 4 volumes: Reference Guide. Volume 2. Functional Cells Library for Design of Semicustom Integrated Circuits of 5503 and 5507 series]. Moskva: Tehnosfera, 2019. 316 p.
 6. SPI Block Guide V03.06. S12SPIV3/D. Motorola, Inc., 2003. URL: opencores.org/usercontent/doc/1499360489.
 7. Budjakov P.S. Inzhenernyj vestnik Dona, 2017, №4. URL: ivdon.ru/ru/magazine/archive/n4y2017/4571.
 8. Wang D., Yan J., Qiao Y. Design and verification of SPI bus IP core // Journal of Physics: Conference Series. 2021. №1971 012032. P. 1-6.
 9. ADS1282 High-Resolution Analog-To-Digital Converter. SBAS418I. Texas Instruments, Inc., 2022. URL: ti.com/lit/ds/symlink/ads1282.pdf.
 10. DACx0504 Quad, 16-, 14-, 12-bit, SPI voltage output DACs with internal reference. SVAS871C. Texas Instruments, Inc., 2022. URL: ti.com/lit/ds/symlink/dac80504.pdf.
-